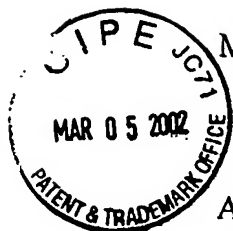


#5



MTS-3296US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Y. Miyamoto et al. : Art Unit: 2819
Serial No.: 10/006,860 : Examiner:
Filed: December 4, 2001 : BOX MISSING PARTS
FOR: ASYNCHRONOUS FIFO :
CIRCUIT AND METHOD OF READING :
AND WRITING DATA THROUGH :
ASYNCHRONOUS FIFO CIRCUIT

COPY OF PAPERS
ORIGINALLY FILED

CLAIM TO RIGHT OF PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

S I R :

Pursuant to 35 U.S.C. 119, Applicants' claim to the benefit of
filing of prior Japanese Patent Application No. 2000-370543, filed December
5, 2000, is hereby confirmed.

A certified copy of the above-referenced application is enclosed.

Respectfully submitted,

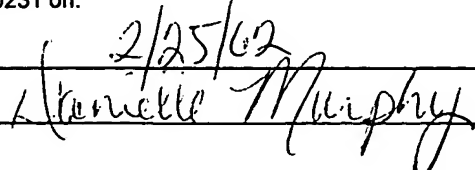

Allan Ramer, Reg. No. 19,717
Attorney for Applicants

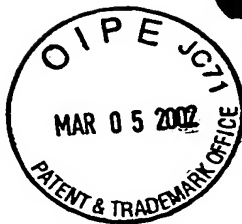
AR/dlm
Dated: February 25, 2002
Encl.: (1) certified priority document

Suite 301, One Westlakes, Berwyn
P.O. Box 980
Valley Forge, PA 19482
(610) 407-0700

The Assistant Commissioner for Patents is
hereby authorized to charge payment to
Deposit Account No. 18-0350 of any fees
associated with this communication.

I hereby certify that this correspondence is being deposited
with the United States Postal Service as first class mail,
with sufficient postage, in an envelope addressed to:
Assistant Commissioner for Patents, Washington, D.C.
20231 on:

2/25/02




日本国特許庁
JAPAN PATENT OFFICE

MTS-329665
10/006.860

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月 5日

出願番号

Application Number:

特願2000-370543

出願人

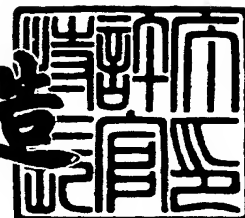
Applicant(s):

松下電器産業株式会社

2001年11月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3105289

【書類名】 特許願

【整理番号】 2054520189

【提出日】 平成12年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 宮本裕一郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 増野 貴司

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 黒田 剛毅

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006027

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 非同期 F I F O 回路

【特許請求の範囲】

【請求項 1】 メモリと、

前記メモリに所定単位データの書き込みまたは読み出しを F i r s t I n F i r s t O u t で行う非同期読み出し／書き込み手段と、

前記メモリへ書き込まれる前記所定単位データにエラーが含まれている場合は 1 加算するエラー・ライト・カウンタと、

前記メモリから読み出される前記所定単位データにエラーが含まれている場合は 1 加算するエラー・リード・カウンタと、

前記エラー・ライト・カウンタの保持する値と前記エラーリードカウンタの保持する値とを比較し、一致した場合は 0 を出力し、異なる場合は 1 を出力する比較手段とを備えたことを特徴とする非同期 F I F O 回路。

【請求項 2】 2^N ワード（N：整数）のアドレスを持つメモリと、

前記メモリが、データが全て書き込まれているフル状態でない場合、前記メモリへデータの書き込みが完了した時に 1 加算するライト・ポインタと、

前記メモリが、データが全て読み出されているエンプティ状態でない場合、前記メモリからデータの読み出しが完了した時に 1 加算するリード・ポインタと、

前記メモリが前記エンプティ状態でない場合、前記メモリからデータの読み出しが完了したときに 1 加算し、常に前記リード・ポインタの値から 1 減算した値を出力するプリービース・リード・ポインタと、

前記ライト・ポインタの値と前記リード・ポインタの値の一致により前記メモリの前記エンプティ状態を検出するエンプティ・フラグ作成回路と、

前記ライト・ポインタの値と前記プリービース・リード・ポインタの値の一致により前記メモリの前記フル状態を検出するフル・フラグ作成回路と、

前記ライト・ポインタの値をデコードしたアドレスへのみデータの書き込みを許可するライト・ポインタ・デコーダと、

前記リード・ポインタの値をデコードしたアドレスからのデータを選択するデータ・セクタと、

前記メモリへ書き込まれるデータの特定ビットの論理和を取るライト・フラグ論理和回路と、

前記メモリから読み出されるデータの特定ビットの論理和を取るリード・フラグ論理和回路と、

前記メモリにデータが書き込まれる時に、前記ライト・フラグ論理和回路の出力が真であれば1加算するエラー・ライト・カウンタと、

前記メモリからデータが読み出される時に、前記リード・フラグ論理和回路の出力が真であれば1加算するエラー・リード・カウンタと、

前記エラー・ライト・カウンタの値と前記エラー・リード・カウンタの値の一致を検出するエラー比較回路とを備えたことを特徴とする非同期F I F O回路。

【請求項3】 前記エラー・ライト・カウンタおよび前記エラー・リード・カウンタをグレイ・コード・カウンタにより構成したことを特徴とする請求項1または2に記載の非同期F I F O回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はF i r s t I n F i r s t O u t回路（以下、F I F O回路と称す）に関し、特に、クロック信号を用いずに書き込み、読み出し動作を確実に行うことができる非同期F I F O回路に関するものである。

【0002】

【従来の技術】

従来より、データの書き込み側と読み出し側が異なるクロックで動作する、もしくはクロックを全く必要としない非同期F I F O回路が知られている。例えば、特願平11-360248号公報により公知となる非同期F I F O回路である。

【0003】

一方、調歩同期シリアル通信装置の業界標準である、米国ナショナルセミコンダクター社のP C 1 6 5 5 0 Dは、送受信ともに16ワードの非同期F I F O回路を内蔵している。

【0004】

PC16550Dが受信用に内蔵する非同期FIFO回路（以下、受信FIFO）は、図9に示すように、8ビットの受信データとともに2ビットのエラーフラグを組み合わせて1ワードを構成したものを順次蓄積する。そして、受信FIFOの中にセットされているエラーフラグが1つでも存在するか否かが、LSR 7ビットとして読み出せるようになっていることが、PC16550Dの大きな特徴である。

【0005】

エラーフラグは、それと組になる受信データと同時に受信FIFOに書き込まれ、読み出されるので、LSR 7ビットは、受信データの書き込み・読み出しに応じて変化する。

【0006】

【発明が解決しようとする課題】

このLSR 7ビットは、図10に示すように、受信FIFOを構成する各ワードのエラーフラグに相当するカラムすべての論理和として構成される。PC16550の場合は16ワードのエラーフラグ全ての論理和である。

【0007】

ここで、受信FIFOのワード数を増やすと、構成するのに著しい不都合が生じるようになる。なぜならば受信FIFOを構成するのに汎用のメモリマクロが使用できないからである。

【0008】

すなわち、受信FIFOのワード数を増やすと、LSR 7ビットは、各ワードのエラーフラグに相当するカラム全ての論理和であるから、LSR 7ビットの生成に関与するカラム数も同時に増える。このとき、受信FIFOを構成するメモリからは、各ワードのエラーフラグに相当するカラムのすべてから独立した出力を引き出さねばならないので、汎用のメモリマクロが使用できず、必要ゲート数もしくはチップ面積の増大を招く。

【0009】

こうした弊害は、ASIC (Application Specific I

ntegrated Circuit) 技術を用いて調歩同期シリアル通信装置を実現しようとする際に、より顕著になる。

【0010】

例えば、英国オックスフォードセミコンダクター社のOX16C950においては、PC16550Dとの互換性をうたいつつ、送受信ともに128ワードの非同期FIFO回路を内蔵している。

【0011】

しかしながら、実際、PC16550D互換をうたいながらFIFOのワード数を送受信ともに128ワードに拡張したOX16C950においては、LSR7ビットは受信FIFOに蓄積されたエラーフラグ全ての論理和になっておらず、受信エラーの発生によりセットされ、LSR7ビットを読み出すことにより即座にクリアされるだけである。したがって、LSR7ビットを読み出した時点で受信FIFOの中にセットされたエラーフラグが残っていても、LSR7ビットはクリアされてしまう。このため、PC16550Dとの互換性がくずれている。

【0012】

この事実は、PC16550D用に開発されたソフトウェアが、OX16C950においては必ずしも正しく動作しないことを意味し、OX16C950の工業的価値を損なっている。

【0013】

本発明は、上記の課題に鑑みてなされたものであり、業界標準であるPC16550Dとの互換性を保つ調歩同期シリアル通信装置が内蔵する受信FIFOのように、LSR7ビットを読み出して、特定カラムのビットがセットされたワードが1つでも存在するか否かが識別できるようなFIFO回路を、汎用のメモリマクロを用いて構成できるようにすることを目的とする。

【0014】

【課題を解決するための手段】

上記の目的を達成するために、第1の本発明（請求項1に対応）は、メモリと

前記メモリに所定単位データの書き込みまたは読み出しを First In First Out で行う非同期読み出し／書き込み手段と、

前記メモリへ書き込まれる前記所定単位データにエラーが含まれている場合は 1 加算するエラー・ライト・カウンタと、

前記メモリから読み出される前記所定単位データにエラーが含まれている場合は 1 加算するエラー・リード・カウンタと、

前記エラー・ライト・カウンタの保持する値と前記エラーリードカウンタの保持する値とを比較し、一致した場合は 0 を出力し、異なる場合は 1 を出力する比較手段とを備えたことを特徴とする非同期 FIFO 回路である。

【0015】

また、第 2 の本発明（請求項 2 に対応）は、 2^N ワード（N：整数）のアドレスを持つメモリと、

前記メモリが、データが全て書き込まれているフル状態でない場合、前記メモリへデータの書き込みが完了した時に 1 加算するライト・ポインタと、

前記メモリが、データが全て読み出されているエンプティ状態でない場合、前記メモリからデータの読み出しが完了した時に 1 加算するリード・ポインタと、

前記メモリが前記エンプティ状態でない場合、前記メモリからデータの読み出しが完了したときに 1 加算し、常に前記リード・ポインタの値から 1 減算した値を出力するプリービース・リード・ポインタと、

前記ライト・ポインタの値と前記リード・ポインタの値の一致により前記メモリの前記エンプティ状態を検出するエンプティ・フラグ作成回路と、

前記ライト・ポインタの値と前記プリービース・リード・ポインタの値の一致により前記メモリの前記フル状態を検出するフル・フラグ作成回路と、

前記ライト・ポインタの値をデコードしたアドレスへのみデータの書き込みを許可するライト・ポインタ・デコーダと、

前記リード・ポインタの値をデコードしたアドレスからのデータを選択するデータ・セクタと、

前記メモリへ書き込まれるデータの特定ビットの論理和を取るライト・フラグ論理和回路と、

前記メモリから読み出されるデータの特定ビットの論理和を取るリード・フラグ論理和回路と、

前記メモリにデータが書き込まれる時に、前記ライト・フラグ論理和回路の出力が真であれば1加算するエラー・ライト・カウンタと、

前記メモリからデータが読み出される時に、前記リード・フラグ論理和回路の出力が真であれば1加算するエラー・リード・カウンタと、

前記エラー・ライト・カウンタの値と前記エラー・リード・カウンタの値の一致を検出するエラー比較回路とを備えたことを特徴とする非同期F I F O回路である。

【0016】

また、第3の本発明（請求項3に対応）は、前記エラー・ライト・カウンタおよび前記エラー・リード・カウンタをグレイ・コード・カウンタにより構成したことを特徴とする請求項1または2に記載の非同期F I F O回路である。

【0017】

以上のような本発明によれば、汎用のメモリマクロを使用してメモリを構成しても、F I F Oの中にセットされているエラーフラグが1つでも存在するか否かが正しく読み出せるという利点がある。

【0018】

また、F I F Oの中にセットされているエラーフラグが1つでも存在するか否かの検出結果にグリッチが生じないという利点がある。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態について、図1から図8を用いて説明する。

【0020】

（実施の形態1）

図1は本発明の非同期F I F O回路の一実施の形態を示す図である。

【0021】

図1において、22は後述するメモリ23からデータを読み出す際のアドレスを示すリード・ポインタであり、Nビットのカウンタから構成され、データの読

み出しが完了すると、メモリ 2 3 がエンプティ状態（以下、単にエンプティと略記する）でない場合 1 加算する。 $(2^N - 1)$ から 1 加算する場合は、0 に戻る。このため、リード・ポインタ 2 2 の値は常に次の読み出しアドレスを示している。

【 0 0 2 2 】

また、2 8 はプリービラス・リード・ポインタであり、リード・ポインタ 2 2 と同様、N ビットのカウンタから構成され、データの読み出しが完了すると、エンプティでない場合 1 加算する。 $(2^N - 1)$ から 1 加算する場合は、0 に戻る。ただし初期状態において、リード・ポインタ 2 2 が 0 にリセットされるのに対し、プリービラス・リード・ポインタ 2 8 は $(2^N - 1)$ にリセットされるので、プリービラス・リード・ポインタ 2 8 の値は常にリード・ポインタ 2 2 が示すアドレスの 1 つ手前のアドレスを示す。

【 0 0 2 3 】

2 2 b はリード・ポインタ・セクタであり、後述するエンプティ・フラグ作成回路 2 5 a が EMPTY 信号を出力したとき、すなわちエンプティの場合は、プリービラス・リード・ポインタ 2 8 の出力を選択し、エンプティでない場合はリード・ポインタ 2 2 の出力を選択する。2 2 c はリード・ポインタ・デコーダであり、リード・ポインタ・セクタ 2 2 b の出力をデコードして、メモリ 2 3 からデータを読み出す際の選択信号 $REN_0 \sim REN_7$ （以下、これらの信号を一括して REN と表記する）を出力する。

【 0 0 2 4 】

次に、2 1 はメモリ 2 3 へデータを書き込む際のアドレスを示すライト・ポインタであり、N ビットのカウンタから構成され、データの書き込みが完了すると、メモリ 2 3 がフル状態（以下、単にフルと略記する）でない場合 1 加算する。 $(2^N - 1)$ から 1 加算する場合は、0 に戻る。このため、ライト・ポインタ 2 1 の値は常に次の書き込みアドレスを示している。

【 0 0 2 5 】

2 1 c はライト・ポインタ・デコーダであり、ライト・ポインタ 2 1 の出力をデコードして書き込み許可信号 $WEN_0 \sim WEN_7$ （以下、これらの信号を一括

してWENと表記する)を出力し、メモリ23の所定のアドレスにデータを書き込み可能とする。

【0026】

23は 2^N ワードのアドレスを有するメモリであり、本実施の形態では、8ワードのデータを記憶するメモリが示されている。 $8 = 2^3$ であるから、本実施の形態は $N = 3$ の場合である。

【0027】

24は8対1セレクタであり、メモリ23に記憶されたデータの内、リード・ポインタ・デコーダ22cが出力する選択信号RENにより特定のアドレスのデータを選択し、読み出しデータとして外部に出力する。

【0028】

25aはエンプティ・フラグ作成回路であり、ライト・ポインタ21の値とリード・ポインタ22の値を比較し両者一致した場合、すなわち書き込まれたが読まれていない(以下、未読と表記する)データが無い場合、EMPTY信号を出力する。これはエンプティを示す。

【0029】

25bはフル・フラグ作成回路であり、ライト・ポインタ21の値とプリービース・リード・ポインタ28の値を比較し両者一致した場合、すなわち未読データが $(2^N - 1)$ 個存在する場合、FULL信号を出力する。これはフルを示す。

【0030】

また、61は書き込み信号WRをクロックとし、メモリ23にエラーフラグのいずれかがセットされたワードが書き込まれる時に1加算するエラー・ライト・カウンタであり、Nビットのカウンタから構成される。 $(2^N - 1)$ から1加算する場合は、0に戻る。このため、エラー・ライト・ポインタ61の値は、エラーフラグのいずれかがセットされたワードをメモリ23に書き込んだ累計を 2^N で除した余りになる。ここでNは、メモリ23のワード数が 2^N で示される数であり、本実施の形態は $N = 3$ の場合である。

【0031】

6 2 は読み出し信号 R D をクロックとし、メモリ 2 3 からエラーフラグのいずれかがセットされたワードが読み出される時に 1 加算するエラー・リード・カウンタであり、やはり N ビットのカウンタから構成される。 $(2^N - 1)$ から 1 加算する場合は、0 に戻る。このため、エラー・リード・カウンタ 6 2 の値は、エラーフラグのいずれかがセットされたワードをメモリ 2 3 から読み出した累計を 2^N で除した余りになる。

【 0 0 3 2 】

6 3 は、本発明の比較手段に相当するエラー比較回路であり、エラー・ライト・カウンタ 6 1 の値とエラー・リード・カウンタ 6 2 の値とを比較し、両者が一致する場合は比較出力として 0 を、一致しない場合は比較出力として 1 を出力する。

【 0 0 3 3 】

6 4 a はライト・フラグ論理和回路、6 4 b はリード・フラグ論理和回路であり、1 ワードの中に占めるすべてのエラーフラグの論理和を生成して、それぞれエラー・ライト・カウンタ 6 1、エラー・リード・カウンタ 6 2 に送る。ライト・フラグ論理和回路 6 4 a からの出力が真である時に書き込み信号 W R が発生すると、エラー・ライト・カウンタ 6 1 は 1 加算する。リード・フラグ論理和回路 6 4 b からの出力が真である時に読み出し信号 R D が発生すると、エラー・リード・カウンタ 6 2 は 1 加算する。

【 0 0 3 4 】

図 2 は、エラー比較回路 6 3 を構成する一致検出回路の一例を示す回路図である。本実施の形態は $N = 3$ の場合であるから、3 個の X N O R ゲート (6 3 0 ~ 6 3 2) を持つ。A 0 ~ A 2 にはエラー・ライト・カウンタ 6 1 を構成する 3 ビットを入力する。B 0 ~ B 2 にはエラー・リード・カウンタ 6 2 を構成する 3 ビットを入力し、各ビットごとに一致検出を行った上で N A N D ゲート 6 3 9 で論理積の否定を取って、比較出力とする。

【 0 0 3 5 】

図 3 はライト・フラグ論理和回路 6 4 a、リード・フラグ論理和回路 6 4 b の一例を示す回路図である。本実施の形態では、1 ワードの中に占めるエラーフラ

グは図5のように2ビットであることを想定しており、従って2入力のORゲートにより構成されるが、一般に、1ワードの中に占めるエラーフラグがMビットである場合、M入力のORゲートにより構成される。

【0036】

以上のように構成された、本実施の形態によるFIFO回路の動作について、以下、説明を行う。

【0037】

はじめに、基本的なFIFO回路としての動作を説明する。書き込みデータWDATAとともに、外部から与えられる書き込み信号WRが入力されると、それらはメモリ23を構成する各ワードに共通して与えられる。

【0038】

ライト・ポインタ・デコーダ21cはライト・ポインタ21の出力をデコードして、書き込み許可信号WENをメモリ23に与える。これにより、書き込みデータWDATAはライト・ポインタ21が示すアドレスに書き込まれる。データの書き込みが完了すると、ライト・ポインタ21は、次のデータ書き込み位置を指示するため、フルでない限り、1加算する。

【0039】

ここで、フルの場合に書き込み信号WRが入力されたとしても、ライト・ポインタが示すアドレスはプリービウス・リード・ポインタ28が示すアドレスに等しく、既に読み出しを終えたアドレスであるから、未読データを破壊することがない。

【0040】

次に、外部から与えられる読み出し信号RDが入力されると、エンプティでない場合は、リード・ポインタ・セクタ22bはリード・ポインタ22の出力を選択し、リード・ポインタ・デコーダ22cに出力する。

【0041】

リード・ポインタ・デコーダ22cは、リード・ポインタ・セクタ22bに選択されたリード・ポインタ22の出力をデコードし、8対1セクタ24に与える。その結果、8対1セクタ24はリード・ポインタ22が示すアドレスの

データを選択し、読み出しデータ RDATA として外部に出力する。データの読み出しが完了すると、リード・ポインタ 22 は、次のデータ読み出し位置を指示するため、1 加算する。同時にプリービウス・リード・ポインタ 28 も 1 加算する。

【 0 0 4 2 】

エンプティの場合に読み出し信号 RD が入力されると、リード・ポインタ 22 の出力に代わってプリービウス・リード・ポインタ 28 の出力がデコードされるので、メモリ 23 の前回読み出されたアドレスが再び読み出される。エンプティの場合には、リード・ポインタ 22 もプリービウス・リード・ポインタ 28 も 1 加算されず、現在の値を維持する。

【 0 0 4 3 】

一方、エンプティ・フラグ作成回路 25 a は常にライト・ポインタ 21 とリード・ポインタ 22 の一致検出を行っており、未読データが無くなると両ポインタの値が一致するので、EMPTY 信号を出力する。リード・ポインタ 22 は EMPTY 信号を読み出し信号 RD によりラッチし、リード・ポインタ・セクタ 22 b に与える。

【 0 0 4 4 】

ところで、リード・ポインタ・セクタ 22 b を配し、常にリード・ポインタ 22 の出力をリード・ポインタ・デコーダ 22 c に与えることで、エンプティの場合に読み出し信号 RD が入力されると、未定義データが読み出しデータ RDATA として出力されるようにもできる。

【 0 0 4 5 】

図 4 はエンプティ・フラグ作成回路 25 a、フル・フラグ作成回路 25 b を構成する一致検出回路の一例を示す回路図である。本実施の形態は $N = 3$ の場合であるから、3 個の XNOR ゲート (30 ~ 32) を持つ。A0 ~ A2 にはライト・ポインタ 21 を構成する 3 ビットを入力する。B0 ~ B2 には、エンプティ・フラグ作成回路 25 a においてはリード・ポインタ 22 を構成する 3 ビットを入力し、フル・フラグ作成回路 25 b においてはプリービウス・リード・ポインタ 28 を構成する 3 ビットを入力して、各ビットごとに一致検出を行った上で AN

Dゲート39で論理積を取る。

【0046】

なお、図4に示す一致検出回路では、入力ビットのうち複数が同時に変化した時に出力にグリッチを生じる場合がある。このグリッチの発生を抑制するには、ライト・ポインタ21、リード・ポインタ22およびプリービース・リード・ポインタ28をグレイ・コード・カウンタで構成すれば良い。

【0047】

次に、図5はライト・ポインタ21、リード・ポインタ22およびプリービース・リード・ポインタ28の動作タイミングを示す図であり、同図(a)はライト・ポインタ21の動作タイミングを示す図、同図(b)はリード・ポインタ22およびプリービース・リード・ポインタ28の動作タイミングを示す図である。本実施の形態のライト・ポインタ21は、同図(a)に示すように、書き込み信号WRの立ち上がりでフル・フラグ作成回路25bが出力するFULL信号をラッチし、そのラッチした値が0であれば、書き込み信号WRの立ち下がり で1加算する。

【0048】

同様に、リード・ポインタ22およびプリービース・リード・ポインタ28は、同図(b)に示すように、読み出し信号RDの立ち上がりでエンプティ・フラグ作成回路25aが出力するEMPTY信号をラッチし、そのラッチした値が0であれば、読み出し信号RDの立ち下がり で1加算する。

【0049】

以上のように、FULL信号、EMPTY信号がラッチされた後に、データの書き込み、読み出しが行われ、データの書き込み、読み出しが終了した後に、ライト・ポインタ21、リード・ポインタ22およびプリービース・リード・ポインタ28を1加算するので、書き込み動作中にライト・ポインタが動くことはなく、読み出し動作中にリード・ポインタもしくはプリービース・リード・ポインタが動くこともないから、書き込み動作、読み出し動作を安定して行うことができる。また、書き込み中に読み出し、あるいは、読み出し中に書き込みがあっても、正常に書き込み、読み出しを行うことができる。

【 0 0 5 0 】

次に、図 6 はメモリ 2 3 を構成する各ワード内の 1 ビット分の一例を示す図であり、同図において、5 1 は 2 対 1 セレクタであり、書き込み許可信号 WEN が 1 の時には入力 A を選択し、0 の時には入力 B を選択して出力する。

【 0 0 5 1 】

5 2 は D フリップフロップであり、メモリ 2 3 内のすべてのビットに共通の書き込み信号 WR が入力されたとき入力 D に加わる信号が出力 Q にセットされる。同図において、書き込みデータ WDATA が入力されたとき、書き込み許可信号 WEN が 1 であれば、2 対 1 セレクタ 5 1 は WDATA を選択して D フリップフロップ 5 2 の D 入力に出力し、書き込み信号 WR が入力されたタイミングで、書き込みデータ WDATA が D フリップフロップ 5 2 の出力 Q にセットされる。

【 0 0 5 2 】

一方、書き込み許可信号 WEN が 0 のとき、2 対 1 セレクタ 5 1 は D フリップフロップ 5 2 の出力 Q を選択して入力 D に出力するので、書き込み信号 WR が入力されたタイミングで、D フリップフロップ 5 2 の出力 Q に再び同じ値がセットされる。

【 0 0 5 3 】

図 7 はメモリ 2 3 への書き込みタイミングを示す図である。書き込むアドレスを示すライト・ポインタ 2 1 は前回の書き込みの終了時に 1 加算された時点で確定しており、ライト・ポインタ・デコーダ 2 1 c を通ることにより WEN に遅延が発生しても、書き込み信号 WR が新たに立ち上がるまでに WEN が確定し、次いで書き込み信号 WR が立ち下がる時点で、メモリ 2 3 への書き込みが行われる。

【 0 0 5 4 】

以上説明したように、本実施の形態においては、ライト・ポインタ 2 1、リード・ポインタ 2 2、プリービース・リード・ポインタ 2 8、および、それらの値の一致検出を行うことによりエンプティ、フルを検出するエンプティ・フラグ作成回路 2 5 a、フル・フラグ作成回路 2 5 b とを備えた非同期 F I F O 回路において、書き込みアドレスは前回の書き込みの終了時点で、読み出しアドレスは読

み出し信号RDの前縁でそれぞれ確定し、書き込み動作中、読み出し動作中に変化することはないので、フルの場合、エンプティの場合、どちらでもない場合のいずれであっても、誤動作することなく確実に動作する。

【0055】

また、FULL信号、EMPTY信号を、それぞれ書き込み信号WRおよび読み出し信号RDの立ち上がりでラッチし、ライト・ポインタ21、リード・ポインタ22およびプリービース・リード・ポインタ28の1加算は書き込み信号WRおよび読み出し信号RDの立ち下がりで行っているため、書き込み信号WRおよび読み出し信号RDの幅の分だけ、ラッチされた信号の確定時間を確保できるために、ライト・ポインタ21、リード・ポインタ22およびプリービース・リード・ポインタ28の1加算動作は安定して行われる。

【0056】

次に、本発明の比較手段またはエラー比較回路によって生成された比較出力が、求めるLSR7ビット、すなわちFIFOの構成を有するメモリ23の中にセットされているエラーフラグが1つでも存在すれば1となり、1つも存在しなければ0となるビットと同値であることを証明する。

【0057】

まずFIFOの構成を有するメモリ23の中にセットされているエラーフラグが存在しない場合であるが、この場合は（エラーフラグのいずれかがセットされたワードをメモリ23に書き込んだ累計）と（エラーフラグのいずれかがセットされたワードをメモリ23から読み出した累計）とが一致することは自明であり、従って各々の剰余数も一致するので、エラー・ライト・カウンタ61の値とエラー・リード・カウンタ62の値が一致し、比較出力は0になる。

【0058】

次にFIFOの構成を有するメモリ23の中にセットされているエラーフラグが存在する場合は、（エラーフラグのいずれかがセットされたワードをメモリ23に書き込んだ累計）と（エラーフラグのいずれかがセットされたワードをメモリ23から読み出した累計）とが異なるが、上記に説明されているように、このFIFOには最大 $(2^N - 1)$ ワードしか蓄積されないため、両者の差は最大（

$2^N - 1$) にとどまる。

【0059】

そうすると、両者を 2^N で除した余りを比較しても、やはり異なるので、エラー・ライト・カウンタ 61 の値とエラー・リード・カウンタ 62 の値が異なり、比較出力は 1 になる。ゆえに上記のようにして生成された比較出力は、求める LSR 7 ビットと同値である。

【0060】

なお、図 2 に示す一致検出回路では、入力ビットのうち複数が同時に変化した時に出力にグリッチを生じる場合がある。すなわち LSR 7 ビットにグリッチが発生する可能性がある。このグリッチの発生を抑制するには、エラー・ライト・カウンタ 61 およびエラー・リード・カウンタ 62 をグレイ・コード・カウンタで構成すれば良い。

【0061】

図 8、は 2 進カウンタとグレイ・コード・カウンタの出力の差異を、 $N = 3$ の場合について示す図であり、同図 (a) は 2 進カウンタの出力を示す図、同図 (b) はグレイ・コード・カウンタの出力を示す図である。1 加算を繰り返し行っていく中で、2 進カウンタの出力は 2 ビット同時に変化する場合があるが、グレイ・コード・カウンタの出力は常に 1 ビットしか変化しない。従って、エラー・ライト・カウンタ 61 およびエラー・リード・カウンタ 62 をグレイ・コード・カウンタで構成すれば、LSR 7 ビットにグリッチが生じることがなくなる。

【0062】

また、ライト・ポインタ 21、リード・ポインタ 22 にグレイ・コード・カウンタを用いた場合でも、ライト・ポインタ・デコーダ 21c、リード・ポインタ・デコーダ 22c の構成は、ライト・ポインタ 21、リード・ポインタ 22 に 2 進カウンタを用いた場合と同じ構成で構わない。こういうグレイ・コード・カウンタの構成方法に関しては、公知であるので説明を省略する。

【0063】

以上説明したように、本実施の形態においては、エラーフラグのいずれかがセットされたワードが FIFO の構成を有するメモリに書き込まれた回数をエラー

・ライト・カウンタ 6 1 が計数し、該 F I F O の構成を有するメモリから読み出された回数をエラー・リード・カウンタ 6 2 が計数し、エラー比較回路 6 3 が、それらの値の一致検出を行うことにより、F I F O の中にエラーフラグがセットされたワードが残っているか否かを知ることができる。そのためメモリ 2 3 は、特定のカラムから独立した出力を引き出す必要がなく、汎用のメモリマクロで構成できる。

【 0 0 6 4 】

さらに、このようにして構成された非同期 F I F O を受信 F I F O として用いた場合、上記エラー比較回路 6 3 の出力は、P C 1 6 5 5 0 D の L S R 7 ビットと同値であり、従って P C 1 6 5 5 0 D と互換の調歩同期シリアル通信装置に求められる受信 F I F O が、汎用のメモリマクロを使って構成できる。さらに業界標準である P C 1 6 5 5 0 D との互換性を保った調歩同期シリアル通信装置が内蔵する受信 F I F O のサイズを、汎用のメモリマクロを使用して容易に拡張できる。

【 0 0 6 5 】

なお、上記の実施の形態においては、非同期 F I F O 回路として、ライトポインタ 2 1、ライトポインタデコーダ 2 1 c、リードポインタ 2 2、リードポインタセクタ 2 2 b、リードポインタデコーダ 2 2 c、メモリ 2 3、8 対 1 セクタ 2 4、エンプティフラグ作成回路 2 5 a、フルフラグ作成回路 2 5 b、プリアスリードポインタ 2 8 とを備えたものを用いたが、本発明の非同期 F I F O 回路はこの構成に限定されるものではなく、非同期かつ F I F O にてメモリに対して、ワードすなわち、所定単位でデータの読み出し／書き込みを行うものであれば、他の構成を有するものでもよい。

【 0 0 6 6 】

【発明の効果】

以上説明したことから明らかなように、本発明においては、上記のような構成としたので、次の効果を得ることができる。

【 0 0 6 7 】

すなわち、汎用のメモリマクロを使用してメモリを構成しても、特定カラムの

ビットがセットされたワードが1つでも存在するか否かが識別できる非同期 F I F O 回路を構成できる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である非同期 F I F O 回路の全体構成を示す図

【図 2】

エラー比較回路を構成する一致検出回路の一例を示す回路図

【図 3】

ライト・フラグ論理和回路、リード・フラグ論理和回路の一例を示す回路図

【図 4】

エンプティ・フラグ作成回路、フル・フラグ作成回路を構成する一致検出回路の一例を示す回路図

【図 5】

ライト・ポインタ、リード・ポインタ、プリービース・リード・ポインタの動作タイミングを示す図

【図 6】

メモリを構成する各ワードの中の 1 ビット分の一例を示す図

【図 7】

メモリへの書き込みタイミングを示す図

【図 8】

2 進カウンタとグレイ・コード・カウンタの出力の差異を示す図

【図 9】

受信データとエラーフラグが組み合わされて 1 ワードを構成することを示す図

【図 1 0】

F I F O 内の全てのエラーフラグの論理和を取ることを示す図

【符号の説明】

2 1 ライト・ポインタ

2 1 c ライト・ポインタ・デコーダ

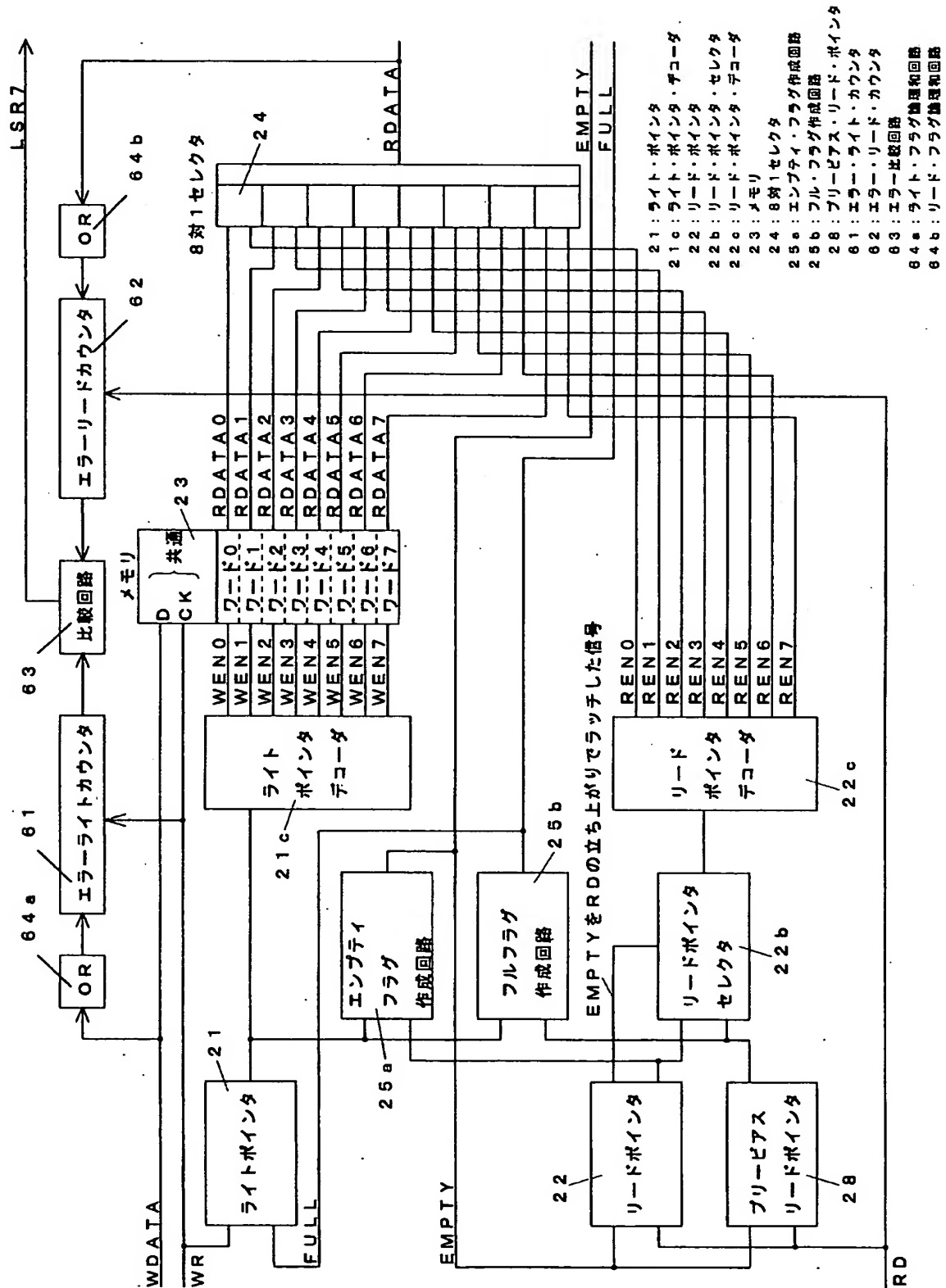
2 2 リード・ポインタ

- 2 2 b リード・ポインタ・セレクタ
- 2 2 c リード・ポインタ・デコーダ
- 2 3 メモリ
- 2 4 8 対 1 セレクタ
- 2 5 a エンプティ・フラグ作成回路
- 2 5 b フル・フラグ作成回路
- 2 8 プリービラス・リード・ポインタ
- 3 0 XNORゲート (1)
- 3 1 XNORゲート (2)
- 3 2 XNORゲート (3)
- 3 9 ANDゲート
- 6 1 エラー・ライト・カウンタ
- 6 2 エラー・リード・カウンタ
- 6 3 エラー比較回路
- 6 4 a ライト・フラグ論理和回路
- 6 4 b リード・フラグ論理和回路
- 6 3 0 XNORゲート (1)
- 6 3 1 XNORゲート (2)
- 6 3 2 XNORゲート (3)
- 6 3 9 NANDゲート
- 6 4 0 ORゲート

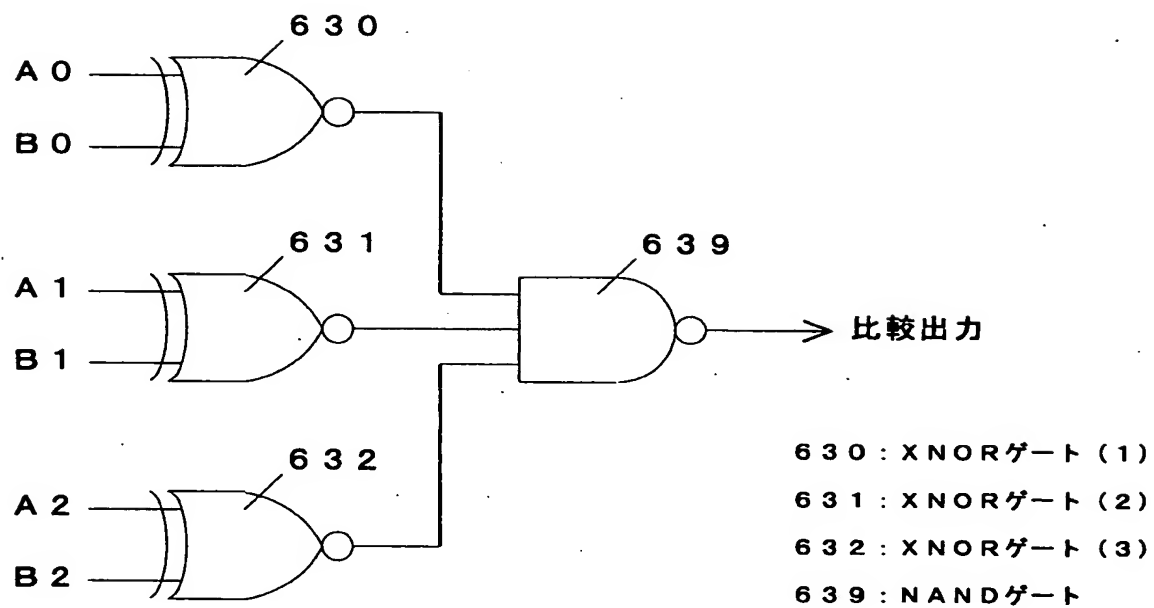
【書類名】

図面

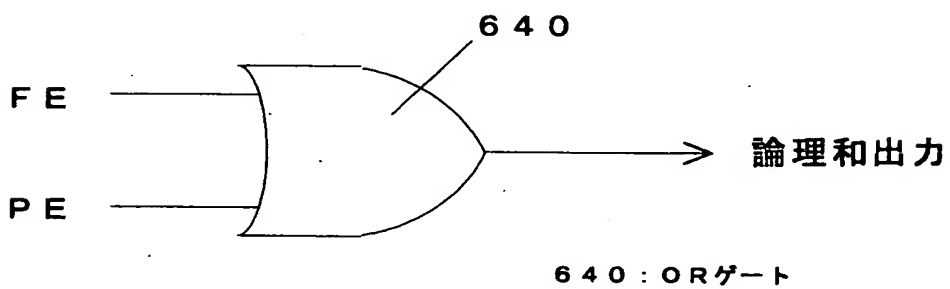
【図 1】



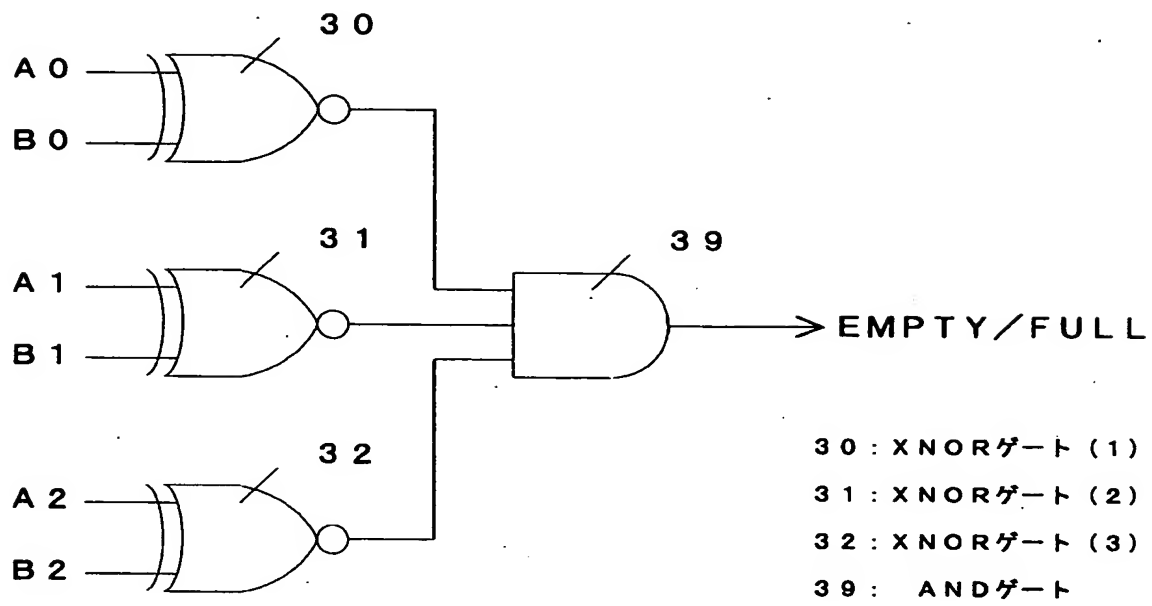
【図 2】



【図 3】

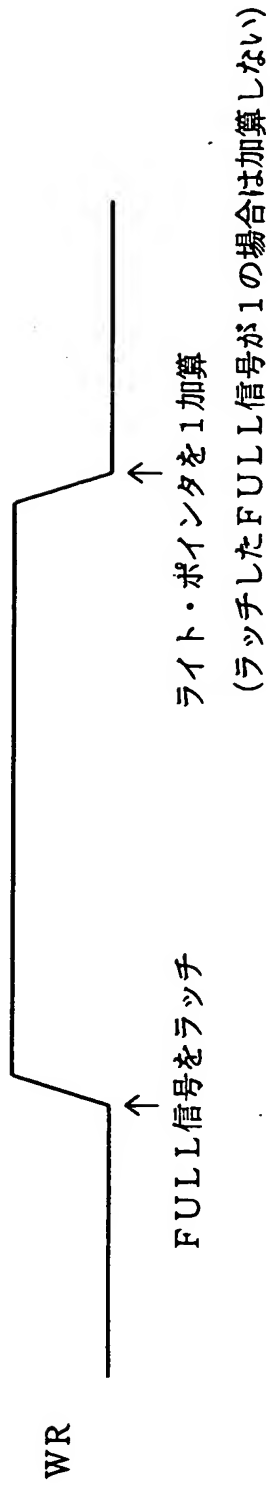


【図 4】

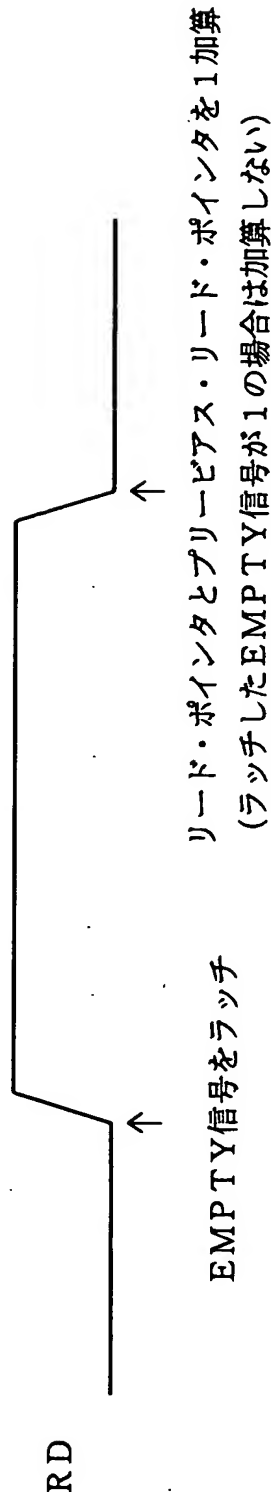


【図 5】

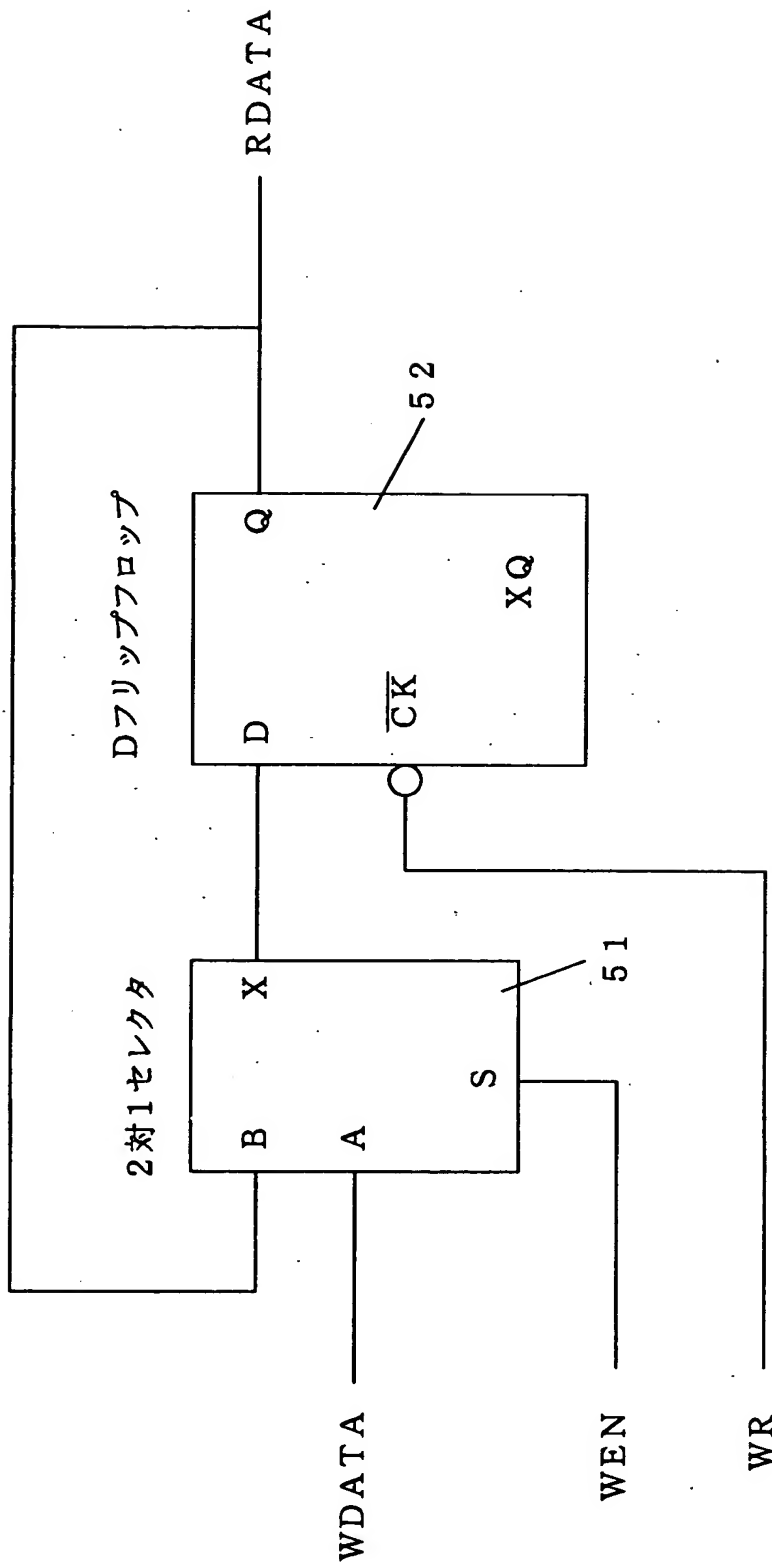
(a)



(b)

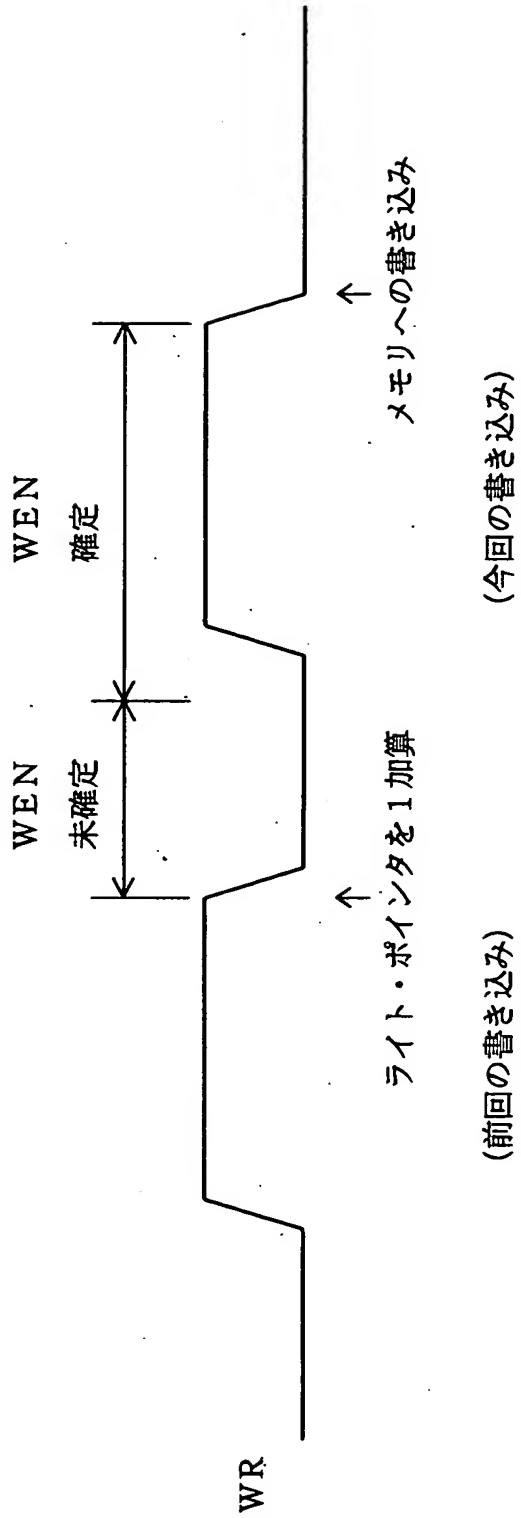


【図6】



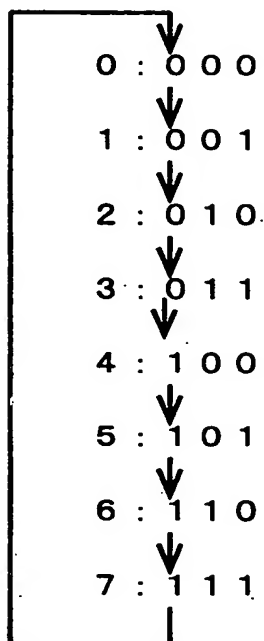
51: 2対1セレクタ
52: Dフリップフロップ

【図 7】

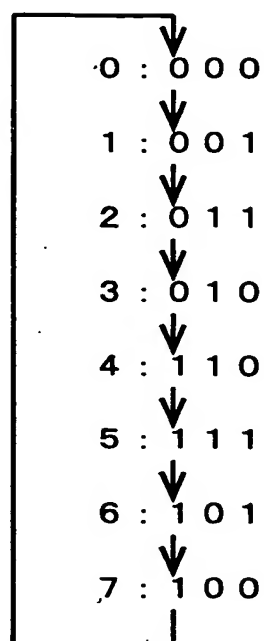


【図 8】

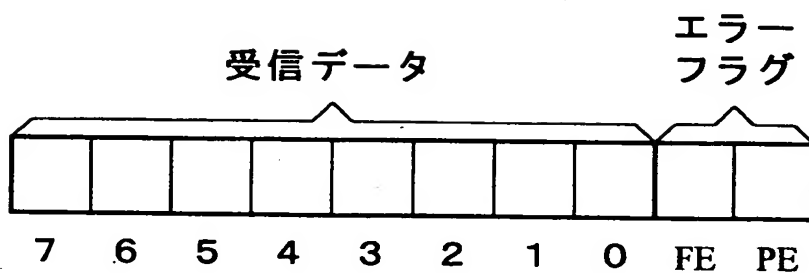
(a) 2進カウンタ



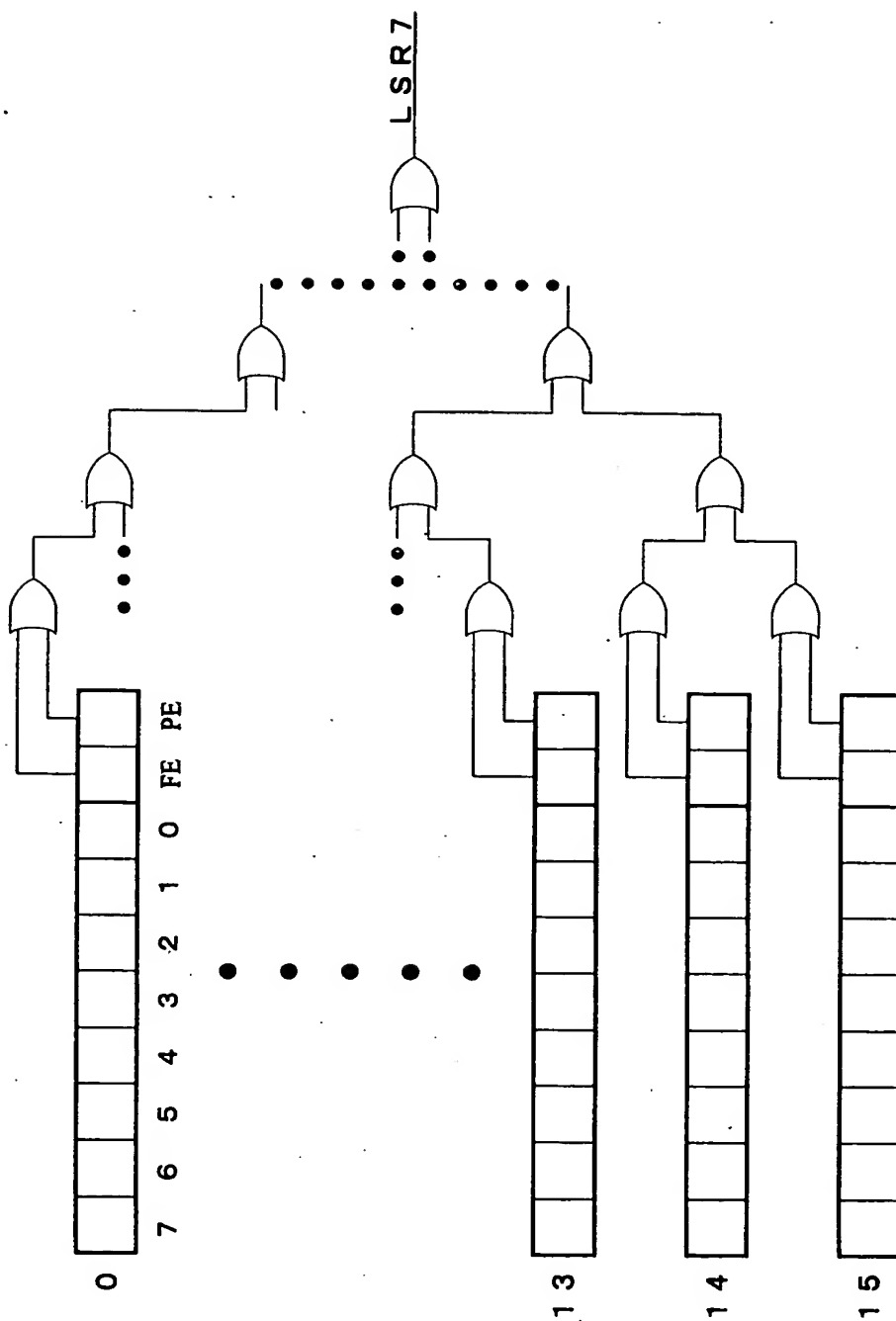
(b) グレイ・コード・カウンタ



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 汎用のメモリマクロを使用して、業界標準である P C 1 6 5 5 0 D との互換性を保った調歩同期シリアル通信装置に内蔵する受信 F I F O を構成する。

【解決手段】 公知の非同期 F I F O 回路に、エラーフラグのいずれかがセットされたワードが書き込まれる時に 1 加算するエラー・ライト・カウンタ 6 1 と、エラーフラグのいずれかがセットされたワードが読み出される時に 1 加算するエラー・リード・カウンタ 6 2 と、両者の値を比較するエラー比較回路 6 3 を加える。このエラー比較回路の出力が P C 1 6 5 5 0 D の L S R 7 ビットと等価になるので、メモリ 2 3 を汎用のメモリマクロを使用して構成しても、P C 1 6 5 5 0 D との互換性を維持できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社